

## SEMICONDUCTOR INTEGRATED CIRCUIT WITH BUILT-IN MEMORY TESTING METHOD

Patent Number: JP10302499  
Publication date: 1998-11-13  
Inventor(s): TSUJI MAKOTO  
Applicant(s): SHARP CORP  
Requested Patent: ☐ JP10302499  
Application Number: JP19970107291 19970424  
Priority Number(s):  
IPC Classification: G11C29/00; G11C29/00; G01R31/28  
EC Classification:  
Equivalents: JP3447512B2

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To realize a redundancy relief by a memory BIST by the relatively simple change of the BIST circuit and the addition of an external circuit.

**SOLUTION:** In order to test a semiconductor integrated circuit with built-in memory ED2, a redundancy relief distinguishing circuit RP1 consisting of a fail memory FM1 and an address generator AG1 is provided in the outside and, also, a clock CK2, a start signal ST2 and an error signal BF<sub>n</sub> are made to be generated from the memory BIST circuit MB2 of the semiconductor integrated circuit ED2 to the circuit RP1 and in the redundancy relief distinguishing circuit RP1, the generation address of a memory BIST is emulated based on these signals and information of an address in which an error is generated are made to be stored in the fail memory FM1. At the time of completing the test, the data of the fail memory FM1 of the circuit RP1 are outputted to the logic tester LT1 and the normal/defective condition of the semiconductor integrated circuit ED2 is totally judged by the test result of the tester in addition to the test result of a logic part LG2 and also data needed for the redundancy relief are produced.

---

Data supplied from the esp@cenet database - I2

[SCOPE OF CLAIM]

[Claim 1]

A method for testing a memory in memory-incorporated semiconductor integrated circuit having said memory and a self test circuit for said memory comprising the steps of:

providing a means for outputting a clock signal, a start signal and an error signal outputted from said self test circuit to the outside of said semiconductor integrated circuit; and

providing a redundancy relief distinguishing circuit connected to said semiconductor integrated circuit to emulate a generated address of said self test circuit by receiving said signals, and storing information on an address at which failure occurs in an incorporated fail memory.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-302499

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.<sup>8</sup>  
 G 1 1 C 29/00  
 G 0 1 R 31/28

識別記号  
 6 5 5  
 6 7 1

F I  
 G 1 1 C 29/00  
 G 0 1 R 31/28  
 6 5 5 Z  
 6 7 1 B  
 B  
 V

審査請求 未請求 請求項の数1 OL (全 6 頁)

(21) 出願番号 特願平9-107291  
 (22) 出願日 平成9年(1997)4月24日

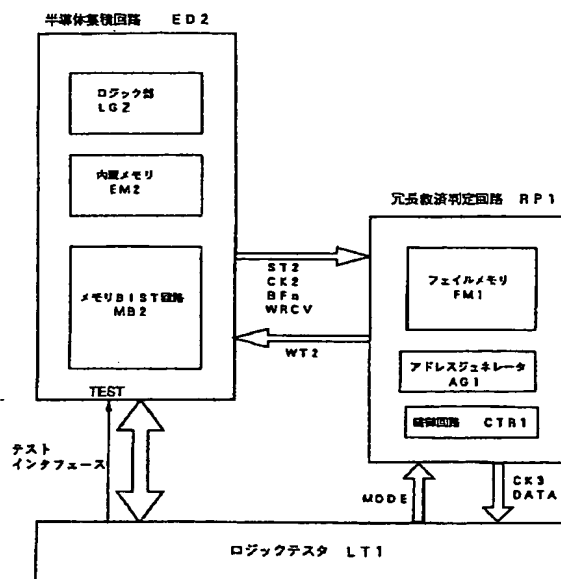
(71) 出願人 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (72) 発明者 辻 誠  
 大阪府大阪市阿倍野区長池町22番22号 シャ  
 ープ株式会社内  
 (74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 メモリ内蔵半導体集積回路のテスト方法

(57) 【要約】

【課題】 比較的簡単なBIST回路の変更と外部回路の追加で、メモリBISTによる冗長救済を実現する。

【解決手段】 メモリ内蔵半導体集積回路ED2をテストするために、外部に、フェイルメモリFM1やアドレスジェネレータAG1より成る冗長救済判定回路RP1を設けると共に、半導体集積回路ED2のメモリBIST回路MB2から上記冗長救済判定回路RP1に対して、クロックCK2、スタート信号ST2、エラー信号BFnを発生させ、冗長救済判定回路RP1において、これらの信号を基に、メモリBISTの発生アドレスをエミュレートし、フェイルメモリFM1にエラーの発生したアドレスの情報を記憶させる。テスト終了時に、冗長救済判定回路RP1のフェイルメモリFM1のデータを外部のロジックテストLT1に出力し、ロジック部LG2のテスト結果と併せて半導体集積回路ED2の良否を総合判定すると共に、冗長救済に必要なデータを作成する。



## 【特許請求の範囲】

【請求項1】 メモリと、該メモリの自己テスト回路とを有するメモリ内蔵半導体集積回路に於ける上記メモリのテスト方法であって、

上記自己テスト回路において出力されるクロック信号、スタート信号、及びエラー信号を上記半導体集積回路外部に出力させる手段と、

上記半導体集積回路に接続され、上記各信号を受けて、上記自己テスト回路の発生アドレスをエミュレートし、不良発生アドレスの情報を内蔵フェイルメモリに記憶させる冗長救済判定回路とを設けて成ることを特徴とする、メモリ内蔵半導体集積回路のテスト方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリと、該メモリの自己テスト回路とを有するメモリ内蔵半導体集積回路に於ける上記メモリのテスト方法に関するものである。

【0002】

【従来の技術】近年、メディアプロセッサ等、大容量のRAMを内蔵した半導体集積回路が重要になってきたが、テストの面からは様々な問題が発生する。内蔵されたメモリを、どのような方法でテストするかが大きな問題で、メモリ部をロジック部から切り離してメモリテストでテストするのが一方法であるが、高速で多ビット型メモリの場合は、テスト用に入出力バッファやパッドを設けるのは、メモリ内蔵デバイスの特徴を損なうので得策ではない。この解決策として、メモリのBIST(Built-in-Self-Test)がある。

【0003】図4に、従来のメモリBIST内蔵半導体集積回路のブロック図を示す。メモリ内蔵半導体集積回路には、メモリBIST回路MB1が組み込まれており、BIST回路MB1は、内蔵メモリEM1に対して、アドレス、コントロール、データ等の入力信号IN1を発生し、該信号IN1は内蔵メモリEM1に入力され、内蔵メモリEM1からはデータDQ1が出力され、それがBIST回路MB1に入力され、良否が判定される。判定された結果は、GO/NOGO信号GN1として出力され、ロジック部LG1のテスト結果と併せて半導体集積回路の良否判定が行われる。なお、MUXは、ロジック部LG1の出力信号とBIST回路MB1の出力信号を選択的に内蔵メモリEM1に入力させるマルチプレクサ回路である。

【0004】図5は従来のメモリBIST回路に於けるGO/NOGO信号出力部である。FL1はRSフリップフロップであり、スタート信号STARTによってリセットされる。スタート信号によってテストが開始されると、内蔵メモリより出力されたデータD0、…、Dnは、排他的論理和回路EXOR0、…、EXORnにより期待値EX0、…、EXnと比較され、各比較結果の

論理和が論理和回路OR1にてとられる。すべて一致であれば、論理和回路OR1の出力はLレベルとなり、1つでも不一致があれば、論理和回路OR1の出力はHレベルとなる。論理和回路OR1の出力は、ストローブ信号STR1のタイミングで論理積回路AND1より、判定結果信号PF1として出力され、フリップフロップFL1のセット入力に入力される。したがって、不一致が生じなければ、フリップフロップFL1はリセット状態を保つが、不一致が生じた場合は、Hレベルの判定結果信号PF1がフリップフロップFL1のセット入力に入力されるため、フリップフロップFL1はセットされる。テスト終了時点に於けるフリップフロップFL1のQ出力が、GO/NOGO信号GN1として出力される。

【0005】このようなBIST回路によるメモリ内蔵半導体集積回路の従来技術としては、例えば、特開平4-302899号公報に示されるものが挙げられる。

【0006】

【発明が解決しようとする課題】大容量メモリでは、不良となったビットやラインの冗長救済を行わないと歩留まりを改善できない。しかし、上記のような従来のメモリBIST回路では、テストの最後のGO/NOGO信号を出力するのみであり、不良となったアドレスやビットの情報を出力していないので、どのアドレス、ビットで不良が生じたか分からず、冗長救済判定が困難である。

【0007】本発明は、上記従来の問題点に鑑み、比較的簡単なBIST回路の変更と外部回路の追加で、メモリBISTによる冗長救済を実現するものである。

【0008】

【課題を解決するための手段】本発明に於いては、メモリ内蔵半導体集積回路をテストするために、外部に、フェイルメモリやアドレスジェネレータより成る冗長救済判定回路を設けると共に、メモリBIST回路から上記冗長救済判定回路に対して、クロック、スタート信号、エラー信号を発生させ、冗長救済判定回路において、これらの信号を基に、メモリBISTの発生アドレスをエミュレートし、フェイルメモリにエラーの発生したアドレスの情報を記憶させる。テスト終了時に、冗長救済判定回路のフェイルメモリのデータを外部のロジックテストに出力し、ロジック部のテスト結果と併せて半導体集積回路の良否を総合判定すると共に、冗長救済に必要なデータを作成する。

【0009】かかる本発明のテスト方法によれば、比較的簡単なBIST回路の変更と外部回路(冗長救済判定回路)の追加で、メモリBISTによる冗長救済が可能となるものである。

【0010】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照して詳細に説明する。

【0011】図1は、本発明の一実施形態のブロック図である。

【0012】図において、ED2は、内蔵メモリEM2、ロジック部LG2、メモリBIST回路MB2を内蔵した、テストすべき半導体集積回路である。LT1は、半導体集積回路ED2の特性をテストするロジックテストである。半導体集積回路ED2とロジックテストLT1との間は、通常のテストインターフェースで接続されている。このテストインターフェースには、データ信号や、テスト端子入力を含むコントロール信号が含まれる。RP1は、前述したように、外部に付加された冗長救済判定用の半導体集積回路であり、内蔵メモリEM2の不良情報を記憶するフェイルメモリFM1、アドレスジェネレータAG1、及びその他の制御回路CTR1を含む。

【0013】図1により、本実施形態に於けるテスト動作を説明する。まず、ロジックテストLT1から半導体集積回路ED2のテスト端子TESTにコントロール信号が与えられると、半導体集積回路に内蔵されたBIST回路MB2が、内蔵メモリEM2のテストを開始し、BIST回路MB2から冗長救済判定回路RP1にスタート信号ST2が出力される。BIST回路MB2による内蔵メモリEM2のテストは、前もってプログラムされた順に従って、アドレス及びデータが、BIST回路MB2から内蔵メモリEM2に入力され、内蔵メモリEM2からBIST回路MB2に読み出すことによって行われる。BIST回路は、1つのアドレス、例えば8ビットがテストされる度に、クロック信号CK2に同期させて、判定結果信号BF<sub>n</sub>を冗長救済判定回路RP1に送出する。

【0014】図2に、冗長救済判定回路RP1の内部詳細ブロック図を示す。フェイルメモリFM1、アドレスジェネレータAG1、書き込み回路WR1及び制御回路CTR1から構成される。フェイルメモリFM1では、アドレスジェネレータAG1からのアドレス入力、及び制御回路CTR1からの制御信号R/Wを受けて、BIST回路MB2からの判定結果信号RF<sub>n</sub>がデータ入力され、ロジックテストLT1へフェイルメモリFM1のデータが出力される。フェイルメモリFM1は、半導体集積回路ED2の内蔵メモリEM2と同一容量のものが用いられる。最初フェイルメモリFM1のすべてのビットはクリアされている。制御回路CTR1には、BIST回路MB2から、スタート信号ST2、クロック信号CK2、判定結果信号BF<sub>n</sub>、及びウェイト復帰信号WRCVが入力され、ウェイト信号WT2、フェイルメモリ制御信号R/W、及びクロック信号CK3を出力する。最初、ロジックテストLT1からアドレスジェネレータAG1に対して、開始アドレスやアドレスシーケンス等のモード設定信号MODEが与えられる。アドレスジェネレータAG1は、上記MODE信号の設定に従っ

て、クロック信号CK2に同期して内部アドレスを更新し、内部アドレスをフェイルメモリFM1へ送出する。冗長救済判定回路RP1のアドレスジェネレータAG1に於けるアドレスのシーケンスを、BIST回路MB2による内蔵メモリEM2のテストアドレスのシーケンスと同じにプログラムすることによって、BIST回路MB2から冗長救済判定回路RP1へアドレス情報を送ることなく、冗長救済判定回路RP1でクロック信号CK2をカウントするだけで、内蔵メモリEM2のアドレスとフェイルメモリFM1のアドレスを一致させることができる。

【0015】ここで、BIST回路MB2から入力される判定結果信号BF<sub>n</sub>について、図3を参照して説明する。図3は、半導体集積回路ED2におけるBIST回路MB2の内部ブロックを示すものである。41はデータ比較回路、42はデータマスク回路、43は判定結果信号（エラー信号）発生回路である。ここで、1アドレスデータは8ビットから構成されるものとする。データ比較回路41において、読み出しデータと期待値データとを比較して、1ビットでも不一致が生じていれば、エラー信号BF<sub>n</sub>がセットされ、冗長救済判定回路RP1へHレベルのエラー信号BF<sub>n</sub>が送られる。但し、この状態では、どのビットが不良なのか判別できない。したがって、次に、このアドレスのデータを1ビットずつ不良判定する必要がある。そのために、Hレベルのエラー信号BF<sub>n</sub>が、冗長救済判定回路RP1に入力されると、該信号を受けて、制御回路CTR1は、半導体集積回路ED2のメモリBIST回路MB2に対して、ウェイト信号WT2を出力する。これにより、BIST回路MB2におけるアドレス発生が停止され、BIST回路MB2内では、不良発生アドレスに於けるデータを1ビットずつ順次テストしていくことになる。これは、テストするビット以外のビットをマスクし（マスクされたビットに対応する排他的論理和回路出力はLレベルとなり、マスクされない、すなわち、テストされるビットが不良であれば、排他的論理和回路出力のHレベルが、そのまま、BF<sub>n</sub>信号出力となる）、その度に、クロック信号CK2に同期させて、BIST回路MB2から冗長救済判定回路RP1へエラー信号BF<sub>n</sub>を送ることにより、そのビットが不良かどうか判定するものである。データマスク回路42は、クロック信号CK2に従ってマスクされないビットをシフトさせるマスクデータを発生する。マスクされないビットを順次シフトしていくことにより、全ビットをテストすることができる。

【0016】図2において、ウェイト信号WT2が送られている間は、アドレスジェネレータAG1からのアドレスは更新されず、フェイルメモリFM1の不良ビットにエラーフラグがセットされるのみである。ウェイト信号WT2は書き込み回路WR1にも接続されており、ウェイト信号WT2がアクティブのときは内部レジスタ

10

20

30

40

50

(書き込み回路内の8ビットのレジスタ)の所定ビット位置にエラーフラグをセットする。フェイルメモリFM1に於けるエラーフラグのセットは、書き込み回路WR1において一旦内部レジスタの所定ビット位置にエラーフラグをセットし終わったあとに、フェイルメモリFM1に書き込むことによって実現できる。このアドレスの全ビットがテストされると、BIST回路MB2から冗長救済判定回路RP1へウェイト復帰信号WRCVが送られ、BIST回路MB2は、内蔵メモリEM2の次のアドレスにおけるデータ不良の検出に移り、冗長救済判定回路RP1はBIST回路MB2から次のアドレスのエラー信号BFnの受信を待つ。

【0017】こうして、すべてのアドレスのテスト終了後、フェイルメモリFM1のデータはクロック信号CK3に同期してロジックテストLT1に送られ、冗長救済に必要なデータが作成される。

【0018】

【発明の効果】以上詳細に説明したように、本発明によれば、不良のアドレスが分かるため、これまで不可能であったメモリ内蔵半導体集積回路のメモリBISTによる冗長救済判定が可能となり、メモリの冗長部使用による救済によって、メモリ内蔵半導体集積回路の歩留まり\*

＊を向上させることができるものである。また、メモリ内蔵半導体集積回路に、クロック信号や、エラー信号等、極めて少数の外部入出力端子を付加するのみでテストを行えるので、テストのための費用増加も抑えることができるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態のブロック構成図である。

【図2】図1に示す冗長救済判定回路の内部詳細ブロック図である。

【図3】図1に示すメモリBIST回路の部分ブロック図である。

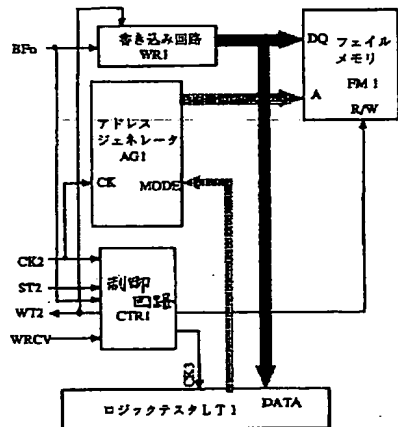
【図4】従来のメモリBIST内蔵半導体集積回路のブロック図である。

【図5】図4に示すメモリBIST回路のGO/NOGO信号出力部の構成図である。

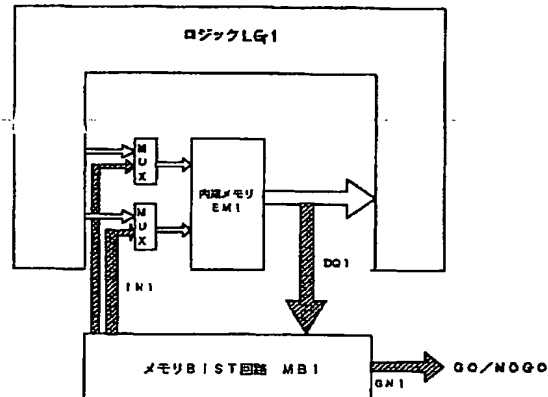
【符号の説明】

|     |            |
|-----|------------|
| ED2 | 半導体集積回路    |
| EM2 | 内蔵メモリ      |
| MB2 | メモリBIST回路  |
| RP1 | 冗長救済判定回路   |
| FM1 | フェイルメモリ    |
| AG1 | アドレスジェネレータ |

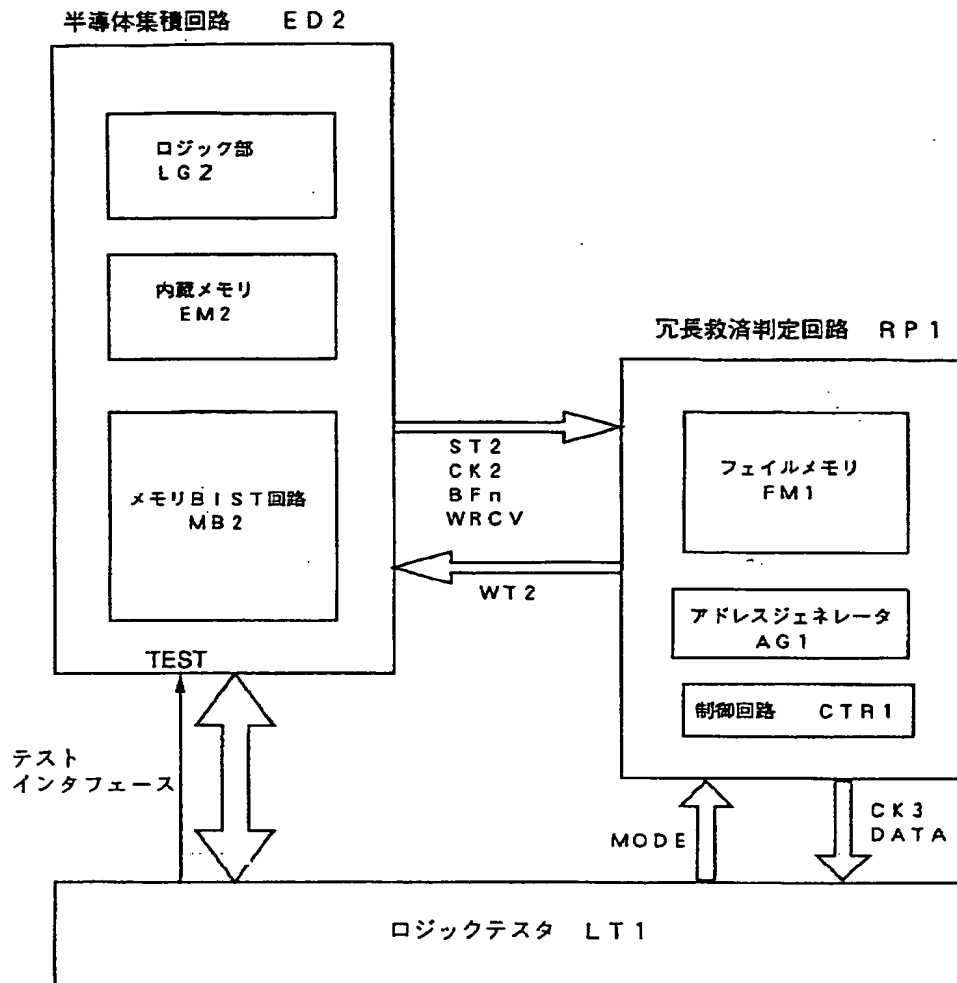
【図2】



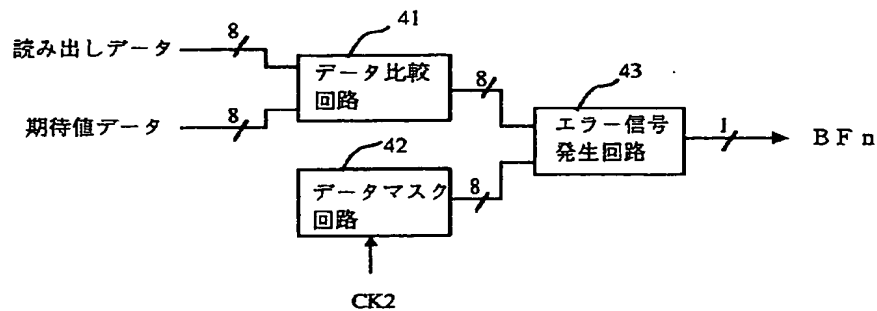
【図4】



【図1】



【図3】



【図5】

